

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-315355

(43)Date of publication of application : 26.11.1993

(51)Int.Cl.

H01L 21/336
H01L 29/784
H01L 21/225
H01L 21/28
H01L 27/12

(21)Application number : 04-119135

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 12.05.1992

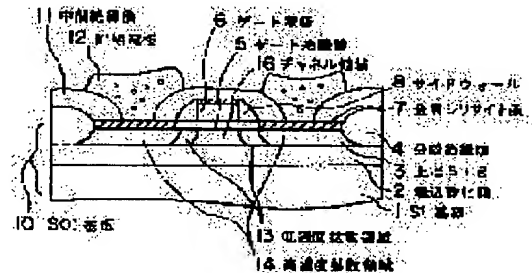
(72)Inventor : KATO TERUO

(54) MOSFET OF SOI STRUCTURE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To eliminate an increase in a sheet resistance and generation of a crystal defect due to polycrystallization of an upper layer of an SOI (silicon-on-insulator) substrate at the time of manufacturing.

CONSTITUTION: A metal silicide film 4 in which an impurity is implanted is formed in contact with a region to become a diffused layer 14 at least as source-drain, and a source-drain diffused layer 14 is formed by a solid phase diffusion from the film 4.



LEGAL STATUS

[Date of request for examination]

29.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-315355

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784				
21/225		M 9278-4M		
21/28	3 0 1	S 7738-4M		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 P

審査請求 未請求 請求項の数 2(全 5 頁) 最終頁に続く

(21)出願番号 特願平4-119135

(22)出願日 平成4年(1992)5月12日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 加藤 輝男

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

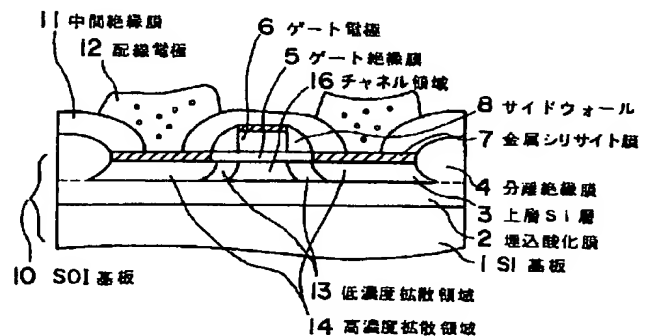
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 SOI構造のMOSFETとその製造方法

(57)【要約】

【目的】 本発明は、SOI構造のMOSFETに関するもので、その製造時SOI基板の上層が多結晶化されて、シート抵抗の増加、結晶欠陥の発生をきたすことを除去することを目的とするものである。

【構成】 前記目的のため本発明は、少なくともソース・ドレインとしての拡散層14となる領域の上に接して、不純物を注入した金属シリサイド膜4を形成して、そのシリサイド膜4からの固相拡散により前記ソース・ドレイン拡散層14を形成するようにしたものである。



本発明の実施例の構造

【特許請求の範囲】

【請求項1】 半導体装置として、絶縁層上に形成された単結晶半導体層を有するSOI基板を用いたSOI構造のMOSFETにおいて、

少なくとも、ソース・ドレイン領域となる拡散層に接した上層に金属シリサイド層が存在していることを特徴とするSOI構造のMOSFET。

【請求項2】 (a) 半導体基板としてSOI基板を使用し、該基板上に、少なくともソース・ドレイン領域としての拡散層となる層の上に、該層に接して金属シリサイド層を形成する工程、

(b) 前記金属シリサイド層に不純物を注入する工程、

(c) 前記不純物が注入された金属シリサイド層から該層の下層に、固相拡散によって、前記ソース・ドレインの拡散層を形成する工程、

以上の工程を含むことを特徴とするSOI構造のMOSFETの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体基板としてSOI基板を用いたSOI構造のMOSFETの構造とその製造方法に関するものである。特に多結晶層を形成しない方法を提供するものである。

【0002】

【従来の技術】 高速、高集積化可能な半導体素子として、SOI (Silicon on Insulator) 構造のMOSFETが開発されている。SOI構造は周知のように、シリコン (Si) 基板に絶縁層 (SiO₂, Si₃N₂ など) を埋め込んだものを基板とするものである。

【0003】 この素子の典型的な製造工程を図3に示し、以下順に説明する。

【0004】 図3 (a)

SOI基板として、例えばSIMOX (Separation by Implanted Oxygen) 基板10を用意する。即ち、酸化膜2が埋め込まれている基板である。上層3の単結晶シリコン膜厚は典型的には200nmである。このウェハを用いて、まず上層Si層3を、例えば周知のLOCOS法により素子形成領域毎に絶縁・分離4する。その後、10-20nmの厚さのゲート絶縁膜5を形成し、さらに膜厚300nmのリンドーブ・ポリシリコン (poly Si) を用いて、ゲート電極6を形成する。

【0005】 図3 (b)

さらに、ソース・ドレイン (S/D) 拡散層形成のために、例えば、As (ヒ素) を40KeV, $5 \times 10^{15} \text{cm}^{-2}$ の条件でイオン注入を行う。この時、イオン注入された上層Si層3は、全領域が非晶質Si (a-Si) になる。

【0006】 図3 (c)

その後、注入されたイオン種の活性化 (高濃度拡散層にする) のために熱処理を行う。この時、上層Si₃は、チャンネル領域に接する箇所を除いて、すべてシリコン酸化膜 (または雰囲気) に囲まれているため、単結晶にならず、多結晶になる。

【0007】 その後、中間絶縁膜11、配線電極12を形成し、図3 (d) のように素子として完成する。

【0008】 なお、ドレイン接合近傍の電界緩和のために、周知のLDD構造にしてもよい。

【0009】

【発明が解決しようとする課題】 しかしながら、上記にのべた方法では、

(1) S/D層の多結晶化により、S/Dのシート抵抗が大幅に増大する

(2) 多結晶化による結晶欠陥が接合近傍に残存するという問題がある。

【0010】 これは共に多結晶化に伴う問題であり、この多結晶化を回避するためには、横方向固相エピタキシャル成長法により活性化熱処理の前に、例えば600℃, 10H程度の熱処理を行なえばよいが、この長時間の熱処理は現実的ではない。また、それでも、バルクSi (厚いSi基板を一般にいう) に比べて、拡散層厚さが薄いため、依然としてシート抵抗値が高いという問題が残る。また、前記(1)に対してのみはS/Dのシリサイド化により対応できるが依然として、(2)の問題は残る。

【0011】 本発明は以上述べた、SOI構造MOSFETのS/D層の多結晶化の問題を回避し、優れた接合特性をもつ半導体素子を形成することを第1の目的とする。また、同時に、薄膜SOIで問題となる、S/D抵抗の増大という問題を回避することを第2の目的とする。

【0012】

【課題を解決するための手段】 本発明は前記目的のため、薄膜SOI構造MOSFETにおいて、S/D領域の上に金属シリサイドを形成し、該金属シリサイドからのドーパントの固相拡散により、該S/D高濃度拡散層を形成するようにしたものである。

【0013】

【作用】 前述のように本発明は、薄膜SOI-MOSFETにおいて、S/D領域の高濃度拡散層を、その上に形成された金属シリサイドからの固相拡散により形成するようにしたので、上記Si層の多結晶化がなく、S/D層のシート抵抗の増大と多結晶化による結晶欠陥の発生という問題を同時に解消できる。

【0014】

【実施例】 図1は、本発明の実施例の構造の断面の模式図である。シリコン基板1上に、埋込酸化膜2があり、分離絶縁膜4に囲まれて、上層シリコン層3があることは従来通りである。この上層シリコン層3中には、S/

Dとなる高濃度拡散領域14、低濃度拡散層13と、チャネル領域16があり、チャネル領域16の上方には、ゲート絶縁膜5を介して、ゲート電極6が存在し、他方、高濃度拡散領域14の上方には、金属シリサイド膜7が形成されている。さらに、中間絶縁膜11、配線電極12が従来同様形成されている。

【0015】ここで高濃度拡散領域14は金属シリサイド7からのドーパントからの固相拡散により形成されている。本実施例では、後述するように従来例のイオン注入による非晶質化を経ることがなく、このため、多結晶化の可能性はなく、結晶欠陥のない良好な、接合が形成できる。また、薄い拡散層によるシート抵抗の上昇、寄生抵抗の増大、という問題については、拡散層、上方に存在する金属シリサイド層7による低抵抗化により解決できる。

【0016】次に本実施例の製造工程について、図2を用いて順に説明する。

【0017】図2(a)

まず、埋込酸化膜2の上層に結晶Si層3を有するSOI基板として、従来同様例えば、SIMOX基板を用意する。上層の単結晶シリコン層3の膜厚は、典型的には200nmである。このウェハ(基板)を用いて、まず、上層Si層3を、従来同様例えば周知のLOCOS法により、素子形成領域毎に分離絶縁4を行う。その後膜厚10-20nm厚さのゲート絶縁膜5を形成し、さらに、膜厚300nmのリンドープpoly Siを使用して、ゲート電極6を形成する。以上は従来と変るところはない。

【0018】図2(b)

次いで、S/D領域にドーザ量 $2 \times 10^{13} \text{cm}^{-2}$ 、加速電圧30KeVの条件でリンをイオン注入し、上層Si層3にn-拡散層(低濃度拡散層)13を形成した後、サイドウォール8を既知の方法で形成する。

【0019】図2(c)

さらに、厚さ10-15nmのCo(コバルト)を全面に堆積した後、600-700℃、30秒程度のRTA(Rapid Thermal Anneal)法により、Coとシリコンを反応させて、CoSi₂(コバルトシリサイド)15を形成する。この時膜厚は、30-50nmとなる。そして、未反応のCoをH₂SO₄/H₂O₂の混合液により除去する。

【0020】図2(d)

その後、Asを40KeV、 $0.5 \sim 1.0 \times 10^{16} \text{cm}^{-2}$ の条件でイオン注入する。この時、AsのCoSi₂中の投影飛程(Rp)は約15nmであり、このため、イオン注入されたAsは、ほぼ全てがCoシリサイド15中に存在するようになる。上層シリコン層3は、Asがイオン注入されることがないため、非晶質とならず、単結晶のままで残る。

【0021】図2(e)

その後、CoSi₂15中のAsを、熱処理により、上層Si層3中に固相、熱拡散させる。熱処理の典型的な条件は、900℃30分または1050℃10秒である。これにより、上層Si層3中には高濃度拡散領域14が形成される(図3(e))。固相での熱拡散であるため、上層Si層3の結晶性を劣化させることはなく、このため、従来例で問題となったような、結晶欠陥は発生しない。

【0022】図2(f)

最後に、中間絶縁膜11、配線電極12を従来同様形成し、素子として完成する。

【0023】以上、NMOS型素子について、CoSi₂とAsを利用した例について説明したが、本実施例はこれに限るものではない。NMOSだけではなくPMOSにも適用可能であり、この場合、Asではなく、B(ボロン)を使用すればよい。また、金属シリサイドとして、CoSi₂を例に挙げたが、これに限るものではなく、Siと比較的低温で反応し、不純物原子に対して、Si基体への拡散源となりうる条件を満足すればよく、例えば、TiSi₂、TaSi₂、ZrSi₂、MoSi₂、W₁Si₂などが候補として挙げることができる。

【0024】また、プロセスの条件については、典型的な例を挙げただけであり、この条件に限定するわけではないのももちろんである。例えば、上層Si層3の厚さとして200nmを例示したが、これは、高濃度拡散層14が上層Si層3の厚さ方向にわたって、全面に形成されていればよい。また、形成されたCoSi₂層15の厚さとして30-50nmを例示したが、この値は、必要なシート抵抗値と、イオンが金属シリサイド中にイオン注入されるという条件より最小値が決まり、上層Si層をシリサイド化によりすべて消費することのないという条件で最大値が決定される。金属シリサイドの膜厚はこの間の任意の値を選択することが可能であるが、上層Si膜厚の1/2~1倍であることが望ましい。また、ゲート電極上のシリサイドの有無は本発明とは直接的に関与しないのももちろんである。

【0025】

【発明の効果】以上、詳細に説明したように、本発明によれば薄膜SOI構造のMOSFETにおいて、S/D領域の高濃度拡散層をその上に形成された金属シリサイドからの固相拡散により形成するようにしたので、上層Si層の多結晶化がなく、S/D層のシート抵抗の増大と多結晶化による結晶欠陥の発生という問題を同時に解消できる。

【0026】しかも、本発明は従来に比べて、特段の製造工程の増加を招くことなく、これを達成しているものである。

【0027】これにより従来型の素子に比べてリーク電流が小さく、ドライブ電流の大きな素子を得ることが可

能となる。

【図面の簡単な説明】

【図1】 本発明の実施例の構造

【図2】 本発明の実施例の製造工程

【図3】 従来例

【符号の説明】

1 Si基板

2 埋込酸化膜

3 上層Si層

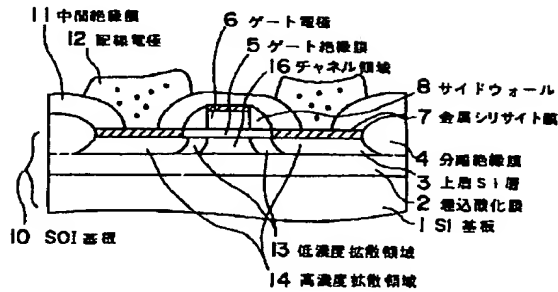
4 分離絶縁膜

7 金属シリサイド膜

8 サイドウォール

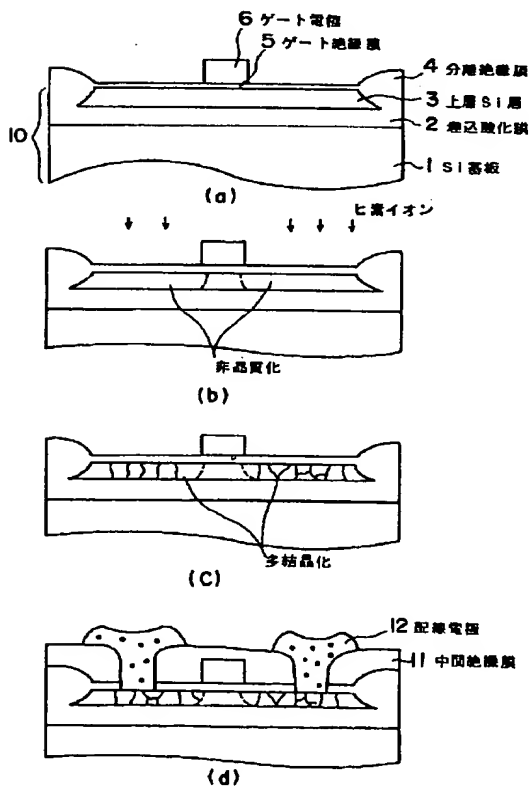
10 SOI基板

【図1】



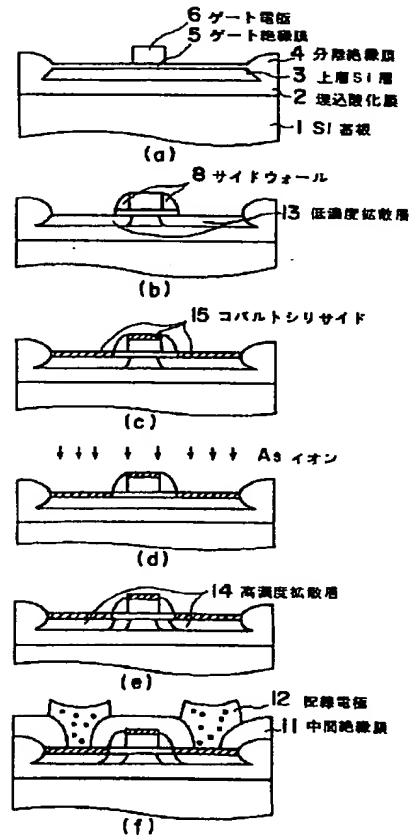
本発明の実施例の構造

【図3】



従来例

【図2】



本発明の実施例の製造工程

フロントページの続き

(51)Int. Cl. 5

H 0 1 L 21/28
27/12

識別記号

庁内整理番号

F I

技術表示箇所

T 7738-4M
Z

THIS PAGE BLANK (USPTO)